

Вінницький національний технічний університет
Міністерство освіти і науки України

Кваліфікаційна наукова
праця на правах рукопису

МУРАЩЕНКО ОЛЕКСАНДР ГЕННАДІЙОВИЧ

УДК 681.325:004.3

ДИСЕРТАЦІЯ

**МЕТОД ТА ЗАСОБИ ГЕНЕРУВАННЯ ПИЛКОПОБІДНИХ СИГНАЛІВ
ПІДВИЩЕНОЇ ЛІНІЙНОСТІ НА БАЗІ ЦАП ІЗ НИЗЬКОГЛІТЧЕВИМ
КОДУВАННЯМ**

05.13.05 – комп'ютерні системи та компоненти
Технічні науки

Подається на здобуття наукового ступеня кандидата технічних наук

Дисертація містить результати власних досліджень. Використання ідей,
результатів і текстів інших авторів мають посилання на відповідне джерело

_____ О. Г. Муращенко

Науковий керівник

Азаров Олексій
Дмитрович
доктор технічних наук, професор

Вінниця – 2020

АНОТАЦІЯ

Муращенко О. Г. Метод та засоби генерування пилкоподібних сигналів на базі ЦАП із низькоглітчевим кодуванням. – Кваліфікаційна наукова праця на правах рукопису.

Дисертація на здобуття наукового ступеня кандидата технічних наук за спеціальністю 05.13.05 «Комп'ютерні системи та компоненти». – Вінницький національний технічний університет. – Вінниця, 2020.

Дисертаційній роботі присвячена розробці методу та засобів генерування пилкоподібних сигналів підвищеної лінійності на базі ЦАП із низькоглітчевим кодуванням. Метою досліджень є покращення лінійності цифрових генераторів пилкоподібних сигналів, що відрізняються від існуючих застосуванням низькоглітчевого кодування на основі ЦАП із ваговою надлишковістю.

Проведено аналіз існуючих математичних моделей глітчів у ЦАП та показано їх недосконалість та неточність, що, в свою чергу, обмежує можливість їх застосування під час розробки та аналізу ЦАП та систем на їх основі. Розглянуто вплив глітчів на динамічні похибки в ЦАП та на швидкість порозрядного аналого-цифрового перетворення та показано їх негативні наслідки на динамічні характеристики ЦАП, особливо при збільшенні розрядності перетворювача. Проведено аналіз традиційних методів і засобів зменшення глітчів у ЦАП та вказано на їх недоліки. Показано, як зазначені недоліки призводять до одного або декількох з таких негативних наслідків: зменшення швидкодії ЦАП, зростання динамічних похибок перетворювача, збільшення кількості обладнання, зростання алгоритмічної складності перетворення.

Вперше запропоновано метод зменшення глітчів у генераторах пилкоподібних сигналів підвищеної лінійності, якого полягає в застосуванні низькоглітчевого кодування на базі ЦАП із ваговою надлишковістю, що дозволило підвищити лінійність сигналу, що генерується.

Вперше розроблено математичну модель глітчів, що виникають у ЦАП із ваговою надлишковістю, особливістю якої є можливість її застосування для довільного числа розрядів, що дозволило оцінити час дії та амплітуду глітчів під час перемикання розрядів залежно від різних чинників, а саме: параметрів ключових елементів, числа розрядів, амплітуди керуючих сигналів та опору навантаження. Проведено аналіз вказаної математичної моделі. Розглянуто причини та специфіку виникнення глітчів в α -ЦАП. Показано, що виникнення глітчів у ЦАП значно обмежує можливості його застосування, зокрема, при прямому цифровому синтезі аналогових сигналів. Використовуючи запропоновану математичну модель було доведено, що на амплітуду глітча суттєво впливає значення напруги керування ЦАП та паразитних ємностей цифрових ключів, а на час згасання (тривалість) глітча істотно впливає значення опору навантаження.

Доведено доцільність застосування ЦАП на основі СЧВН, зокрема з дробовими вагами розрядів, а саме p -кодів золотої пропорції, та цілочисловими вагами розрядів, а саме p -кодів Фібоначчі. Доведено, що із збільшенням параметра p характеристики глітчів значно покращуються, причому амплітуда і час їх згасання зменшуються. Запропоновано структурну схему низькоглітчевого ЦАП на основі модифікованої системи числення Фібоначчі (МФ-системи числення).

Вперше запропоновано методику оцінювання ефективності застосування вагової надлишковості, критерієм якої є зменшення рівня глітчів у ЦАП та запропоновано оптимальні параметри систем числення, на основі яких побудовано ЦАП, що дає можливість досягти максимального результату при мінімальному подовженні розрядної сітки. Оцінено ефективність застосування вагової надлишковості для зменшення рівня глітчів у ЦАП та запропоновано оптимальні параметри систем числення, на основі яких побудовано ЦАП. Доведено, що оптимальним є застосування $p = 3$ коду Фібоначчі та $p = 3$, $p = 4$ коду золотої пропорції.

Запропоновано модифіковану систему числення Фібоначчі (МФ-систему числення) для побудови лічильників із швидкісним перенесенням, яка відрізняється розширенням діапазону лічби, що дає можливість зменшити кількість обладнання при побудові вказаних лічильників. Наведено формальний опис цієї системи числення за допомогою алфавіту та фібоначчієвого співвідношення, що задає базис, та запропоновано методи лічби в ній. Запропонована система числення має меншу надлишковість, ніж відома фібоначчієва система числення. Описано правила представлення цілих чисел у МФ-системі числення. Доведено твердження про обмеженість довжини перенесення, що може виникнути на кожному такті, що призводить до підвищення швидкодії лічби.

На основі теоретичних досліджень вперше запропоновано метод побудови швидкодіючих фібоначчієвих лічильників в МФ-системі числення трьох видів: лічильник, що додає, лічильник, що віднімає і реверсивний лічильник. Особливістю таких лічильників є використання для їх синтезу модифікованої системи числення Фібоначчі, що дозволяє розширити діапазон лічби та зменшити кількість обладнання порівняно з відомою системою числення Фібоначчі, а також зменшити кількість перенесень (максимум до 5) порівняно із класичною двійковою системою числення. Розроблено загальні схеми структурної організації кожного виду лічильника та схеми структурної організації їх окремих розрядів.

Розроблено структурні і принципові схеми двотактних підсилювачів постійного струму (ДППС) з параметричним коригуванням зсуву нуля та з вхідним каскадом на польових транзисторах. Використання запропонованих високолінійних і швидкодіючих схем ДППС дозволить покращити їх статичні і динамічні характеристики та багаторозрядних аналого-цифрових систем у цілому.

На основі запропонованих у роботі методів та засобів надано рекомендації щодо проектування аналогових і цифрових генераторів пилкоподібних сигналів підвищеної лінійності на базі ЦАП із низькоглітчевим

кодуванням. Запропоновано структурну організацію генераторів вказаних аналогових сигналів на основі фібоначчієвого цифроаналогового перетворювача та з використанням швидкодіючих фібоначчієвих лічильників. Надано опис структурної організації таких генераторів та функціональних схем їх лічильників, а також детально розглянута та проаналізована їх робота. Обґрунтовано, що використання запропонованих генераторів у порівнянні з відповідними рішеннями на основі двійкової системи числення дозволяє підвищити швидкодію та зменшити рівень глітчів у процесі генерування аналогових сигналів, що змінюються лінійно.

Описано розробку програмних засобів для моделювання роботи швидкодіючих фібоначчієвих лічильників. Проведене моделювання підтвердило працездатність лічильників та розраховані аналітичним шляхом характеристики.

Наукова новизна отриманих результатів:

1. Вперше запропоновано метод зменшення глітчів у генераторах пилкоподібних сигналів, особливість якого полягає в застосуванні низькоглітчевого кодування на базі ЦАП із ваговою надлишковістю, що дозволило підвищити лінійність сигналу, що генерується.

2. Вперше розроблено математичну модель глітчів, що виникають у ЦАП із ваговою надлишковістю, особливістю якої є можливість її застосування для довільного числа розрядів, що дозволило оцінити час дії та амплітуду глітчів під час перемикання розрядів ЦАП.

3. Вперше запропоновано метод побудови швидкодіючих лічильників, особливість якого полягає у використанні для їх синтезу модифікованої системи числення Фібоначчі (МФ-системи числення), що дозволяє розширити діапазон лічби та зменшити кількість обладнання порівняно з відомою системою числення Фібоначчі, а також зменшити кількість перенесень (максимум до 5) порівняно із класичною двійковою системою числення.

4. Вперше запропоновано методику оцінювання ефективності застосування вагової надлишковості, критерієм якої є зменшення рівня глітчів у ЦАП та запропоновано оптимальні параметри систем числення, на основі яких побудовано ЦАП, що дає можливість досягти максимального результату при мінімальному подовженні розрядної сітки.

Практичне значення отриманих результатів полягає в тому, що на основі отриманих в дисертації теоретичних положень та методів:

1. Розроблено загальні схеми структурної організації фібоначчієвих лічильників в МФ-системі числення трьох видів: лічильник, що додає, лічильник, що віднімає, а також реверсивний лічильник та схеми структурної організації їх окремих розрядів. Проведено аналіз наведених структурних рішень і їх динамічних характеристик. Виконана оцінка апаратних витрат і швидкодії розроблених лічильників. Вказаний аналіз довів, що описані фібоначчієві лічильники поєднують ефективну апаратну реалізацію з високою швидкістю.

2. Запропоновано структурну організацію низькоглітчєвого ЦАП на основі систем числення із ваговою надлишковістю, а саме з дробовими вагами розрядів, зокрема p -кодів золотої пропорції, та цілочисловими вагами розрядів, зокрема p -кодів Фібоначчі.

3. Розроблено структурні і принципові схеми двотактних підсилювачів постійного струму (ДППС) з низькоомним та високоомним входами. Доведено, що використання ДППС з низькоомним входом дозволить покращити динамічні характеристики перетворювача код–струм з підвищеною паразитною вхідною ємністю ЦАП порівняно з високоомним.

4. Запропоновано структурні схеми генераторів пилкоподібних сигналів підвищеної лінійності на основі фібоначчієвого цифроаналогового перетворювача та з використанням швидкодіючих фібоначчієвих лічильників. Надано опис структурної організації таких генераторів та функціональних схем їх лічильників, а також детально розглянута та проаналізована їх робота.

Обґрунтовано, що використання запропонованих генераторів у порівнянні з відповідними рішеннями на основі двійкової системи числення дозволяє підвищити швидкодію та зменшити рівень глітчів у процесі генерування пілкоподібних сигналів.

5. Розроблено програмні засоби для моделювання роботи швидкодіючих фібоначчєвих лічильників. Проведене комп'ютерне моделювання підтвердило розраховані аналітичним шляхом характеристики вказаного лічильника.

Ключові слова: генератори пілкоподібних сигналів, цифроаналогове перетворення, глітчї в ЦАП, надлишкові позиційні системи числення, лічильники в кодах Фібоначчі.

СПИСОК ПУБЛІКАЦІЙ ЗДОБУВАЧА ЗА ТЕМОЮ ДИСЕРТАЦІЇ

[1] O. D. Azarov; O. G. Murashchenko; O. I. Chernyak; A. Smolarz; and G.Kashaganova, "Method of glitch reduction in DAC with weight redundancy". SPIE 9816, Optical Fibers and Their Applications 2015, 98161T (17 December 2015).

[2] O. D. Azarov, O. G. Murashenko, S. S. Katsiv, K. Gromaszek, G. Duskazaev, and O. Ussatova, "Mathematical model of glitches in DAC with weight redundancy", Proc. SPIE 11045, Optical Fibers and Their Applications 2018, 1104511 (15 March 2019).

[3] О. Д. Азаров, О. І. Черняк, та О. Г. Муращенко. "Метод побудови швидкодіючих фібоначчєвих лічильників", Проблеми інформатизації та управління, № 2(46), с. 5-8, 2014.

[4] О. Д. Азаров, О. І. Черняк, та О. Г. Муращенко, "Інформаційні аспекти лічби у модифікованій фібоначчєвій системі числення", Інформаційні технології та комп'ютерна інженерія. - №1(38), с. 48-52, 2017.

[5] О. Азаров, О. Черняк, та О. Муращенко “Методи перенесення і запозичення у швидкодіючих фібоначчієвих лічильниках”, Інформаційні технології та комп'ютерна інженерія, №2(42), с. 55-63, 2018.

[6] О. Д. Азаров, О. І. Черняк, та О. Г. Муращенко, “Швидкодіючий реверсивний фібоначчієвий лічильник”, Інформаційні технології та комп'ютерна інженерія, №1(32), с. 27-32, 2015.

[7] О. Д. Азаров, О. В. Кадук, О. В. Дудник, та О. Г. Муращенко, “Пряме і зворотне перетворення «робочий код – цифровий еквівалент» у АЦП і ЦАП, що самокалібруються, з ваговою надлишковістю”, Проблеми інформатизації та управління, №2(30), с. 6-13, 2010.

[8] О. Д. Азаров, О. І. Черняк, та О. Г. Муращенко, “Порозрядне додавання в АМ-системах числення на основі адитивних перетворень”, Проблеми інформатизації та управління, №1(45), с. 14-21, 2014.

[9] О. Д. Азаров, О. О. Решетнік, О. Г. Муращенко, та М. Ю. Теплицький, “Структурна організація АЦП з прогресуючими тривалостями тактів порозрядного наближення”, Інформаційні технології та комп'ютерна інженерія. №2, с. 6-13, 2010.

[10] О. Д. Азаров, М.Ю. Шабатура, та О.Г. Муращенко, “Динамічні похибки II роду в АЦП прискороеного порозрядного наближення з ваговою надлишковістю”, Наукові Праці Вінницького Національного Технічного Університету, №3, с. 9, 2010. [Електронний ресурс], Доступно: <https://praci.vntu.edu.ua/index.php/praci/article/view/>

219.

[11] О. Д. Азаров, О. О. Лукашук, В.Г. Огнєв, О. Г. Муращенко, та О.М. Хорьков, заявник та патентовласник Вінницький національний технічний університет, “Підсилювач постійного струму”, № 21203, Україна, МПК: H03F 3/26, 15.03.2007.

[12] О. Д. Азаров, С. В. Богомолов, В.Є. Яцик, та О. Г. Муращенко, заявник та патентовласник Вінницький національний технічний університет, “Двотактний симетричний підсилювач струму”, №70121, Україна, МПК: H03F 5/22, 25.05.2012.

[13] О. Д. Азаров, С. В. Богомолов, М.В. Пономарьова, та О. Г. Муращенко, заявник та патентовласник Вінницький національний технічний університет, “Вхідний пристрій схеми порівняння струмів”, №72312, Україна, МПК: H03F 5/00, 10.08.2012.

[14] О. Д. Азаров, О. І Черняк., та О. Г. Муращенко, заявник та патентовласник Вінницький національний технічний університет, “Лічильник, що віднімає у фібоначчівій системі числення”, №97829, Україна, МПК H03K 23/00, 10.04.2015.

[15] О. Д. Азаров, О. І. Черняк, О. Г. Муращенко, та С. В. Богомолов, заявник та патентовласник Вінницький національний технічний університет, “Цифроаналоговий перетворювач”, №94085, Україна, МПК: H03M 1/46, 27.10.2014.

[16] О. Д. Азаров, О. І. Черняк, та О. Г. Муращенко, заявник та патентовласник Вінницький національний технічний університет, “Цифроаналоговий перетворювач”, №109785, Україна, МПК H03M 1/46, 12.09.2016.

[17] О.Д. Азаров, О.В. Черняк, та О.Г. Муращенко, заявник та патентовласник Вінницький національний технічний університет, “Реверсивний лічильник у фібоначчівій системі числення”, №109080, Україна, МПК H03K 23/00, H03M 7/00, 10.08.2016.

[18] О. Д. Азаров, О. І. Черняк, О. Г. Муращенко, “Лічильник”, №127185, Україна, МПК H03M 1/46, 25.07.2018.

[19] О. Д. Азаров, О. Г. Муращенко, “АЦП порозрядного наближення з антиглітчевим кодуванням”, на Міжнародній науково-практичній конференції “Інформаційні технології та комп’ютерна інженерія”, Вінниця, 2010.

[20] О. Д. Азаров, та О. Г. Муращенко, “Метод антиглітчевого кодування в АЦП порозрядного наближення”, на Міжнародній науково-практичній конференції “Методи та засоби кодування, захисту й ущільнення інформації”, Вінниця, 2011.

[21] О. Д. Азаров, та О. Г. Муращенко, “Метод зменшення глітчів у ЦАП із ваговою надлишковістю”, на Міжнародній науково-практичній конференції “Методи та засоби кодування, захисту й ущільнення інформації”, Вінниця, 2017.

[22] О. Д. Азаров, та О. Г. Муращенко, “Дослідження глітчів ЦАП залежно від рівня надлишковості р-кода Фібоначчі”, свідоцтво про реєстрацію авторського права на твір №54904, 20.05.2014.

[23] О. Д. Азаров, та О. Г. Муращенко, “Дослідження глітчів ЦАП залежно від затримок вмикання і вимикання розрядів”, свідоцтво про реєстрацію авторського права на твір №54903, 20.05.2014.

ABSTRACT

Oleksandr G. Murashchenko. Method and tools for high-linear ramp generation based on DAC with weight redundancy. – Qualifying scientific work on the rights of the manuscript.

Thesis for the degree of candidate of technical science in specialty 05.13.05 “Computer systems and components”. – Vinnytsia National Technical University, Vinnytsia, 2020.

This dissertation work is devoted to the development of methods and means of high linearity ramp generation based on DAC with low-glitch coding. The aim of the research is to improve the linearity of digital ramp generators, which differs from the existing in application of low-cellular coding based on DAC with weight redundancy.

The analysis of existing mathematical models of glitches in DAC was performed and their imperfection and inaccuracy are shown, which limits the possibility of their usage in the development and analysis of DACs and systems based on them. The impact of glitches on the dynamic errors in the DAC and on the speed of bitwise analog-to-digital conversion is considered and their negative effects on the dynamic characteristics of the DAC are shown, especially with increasing the bit capacity of the converter. The analysis of traditional methods and means of reducing glitches in DAC was performed and their disadvantages were pointed out. It is shown how these disadvantages lead to one or more of the following negative consequences: reduction of the DAC performance, increase of dynamic errors of the converter, increase of equipment quantity, increase of algorithmic complexity of transformation.

The method for reducing glitches in high linearity ramp generators is proposed, a feature of which is the use of low-glitch coding based on DAC with weight redundancy.

The mathematical model of glitches in DAC with weight redundancy has been developed that allows you to estimate the duration and amplitude of glitches while

switching DAC bits depending on various factors, such as: parameters of key elements, number of bits, amplitude of control signals and load resistance. The analysis of the specified mathematical model was performed. The causes and specifics of the occurrence of glitters in α -DAC were considered. It has been shown that the appearance of glitches in the DAC significantly limits the possibility of its use, in particular, in the direct digital synthesis of analog signals. Using the proposed mathematical model, it was proved that the amplitude of the glitch is significantly influenced by the control voltage of the DAC and the parasitic capacities of the digital keys, and the value of the load resistance significantly affects the damping time (duration) of the glitch.

The expediency of using DAC based on weight redundancy has been proved, in particular with fractional digit weights of bits, namely golden p -ratio numbers, with whole number weights of bits, namely Fibonacci p -codes. It was proved that with increasing of p parameter, the characteristics of glitches are greatly improved, and the amplitude and time of their attenuation decrease. A structural diagram of a low-glitch DAC based on a modified Fibonacci calculus system (MF calculus) was proposed.

The efficiency of the use of weight redundancy to reduce the level of glitches in the DAC was evaluated and the optimal parameters of the numerical systems on the basis of which the DAC was built were proposed. It was proved that the use of $p = 3$ of the Fibonacci code and $p = 3, p = 4$ of the golden ratio codes is optimal.

Further development took the approach to modify the Fibonacci calculus system. A modified Fibonacci calculus system (MF-system) is proposed for the construction of high-speed counters, which is characterized by an extension of the digit range, which makes it possible to reduce the number of equipment when constructing mentioned counters. A formal description of this system of calculus is given using the alphabet and the Fibonacci ratio, which specifies the basis, and the methods of counting in it are proposed. The proposed calculus system has less redundancy than the known Fibonacci calculus system. The rules for representing

integers in the MF calculus system are described. The statement about the limitation of the length of the transfer, which can occur at each cycle, which leads to an increase in the speed of the counting, is proved.

On the basis of theoretical research, the method for the construction of high-speed Fibonacci counters in the MF-system of calculus of three types was first proposed: the adding counter, the subtracting counter and the reversing counter. The general schemes of the structural organization of each type of counter and the schemes of the structural organization of their individual digits have been developed.

Structural and schematic diagrams for two-stroke DC amplifier have been developed. The use of the proposed high-linear and high-speed two-stroke DC amplifier circuits will improve their static and dynamic characteristics and multi-bit analog-digital systems as a whole.

Recommendations for the design of analog and digital ramp generators of high-line signals based on DAC with low-glitch coding were provided on the basis of the methods and tools proposed in this work. The structural organization of the generators of the specified analog signals based on the Fibonacci digital-to-analog converter and using high-speed Fibonacci counters is proposed. The structural organization of such generators and the functional circuits of their meters are described, and their work is reviewed and analyzed in detail. It is substantiated that the use of the proposed generators in comparison with the corresponding solutions based on the binary number system allows to increase the speed and reduce the level of glitches in the process of generating analog signals that change linearly.

The development of software for modeling the operation of high-speed Fibonacci counters is described. The simulation confirmed analytically calculated characteristics.

Key words: Ramp generators, Digital to Analog converters, glitches in DAC, redundant positional number system, Fibonacci counters.

ЗМІСТ

ПЕРЕЛІК УМОВНИХ ПОЗНАЧЕНЬ	16
ВСТУП	18
РОЗДІЛ 1 АНАЛІЗ СУЧАСНИХ МЕТОДІВ ТА ЗАСОБІВ НИЗЬКОГЛІТЧЕВОГО КОДУВАННЯ В ЦАП ІЗ ВАГОВОЮ НАДЛИШКОВІСТЮ	26
1.1 Існуючі математичні моделі глітчів, що виникають під час цифроаналогового перетворення	26
1.2 Вплив глітчів на динамічні похибки в ЦАП	31
1.3 Традиційні методи та засоби зменшення глітчів у ЦАП	35
1.4 Аналіз можливостей низькоглітчевого кодування в ЦАП із ваговою надлишковістю	42
1.5 Визначення мети, вибір напрямку і постановка задач дослідження	45
1.6 Висновки	46
РОЗДІЛ 2 МЕТОД ГЕНЕРУВАННЯ ПІЛКОПОДІБНИХ СИГНАЛІВ ПІДВИЩЕНОЇ ЛІНІЙНОСТІ НА БАЗІ ЦАП ІЗ НИЗЬКОГЛІТЧЕВИМ КОДУВАННЯМ	48
2.1 Математична модель глітчів у ЦАП із ваговою надлишковістю	48
2.2 Метод зменшення глітчів у генераторах сигналів, побудованих на базі ЦАП із ваговою надлишковістю	62
2.3 Аналіз ефективності низькоглітчевого кодування залежно від рівня вагової надлишковості	72
2.4 Вибір оптимальної основи системи числення для ефективного низькоглітчевого кодування на базі ЦАП із ваговою надлишковістю	77
2.5 Висновки	82
РОЗДІЛ 3 МЕТОДИ ПОБУДОВИ МОДИФІКОВАНИХ ЛІЧИЛЬНИКІВ ФІБОНАЧЧІ ДЛЯ НИЗЬКОГЛІТЧЕВИХ ГЕНЕРАТОРІВ СИГНАЛІВ	83
3.1 Формальний опис та методи лічби у модифікованій	

	15
фібоначчівій системі числення	83
3.2 Методи структурно-функціональної організації швидкодіючих лічильників у МФ-системі числення	102
3.2.1 Лічильник, що додає	102
3.2.2 Лічильник, що віднімає	108
3.2.3 Реверсивний лічильник	114
3.3 Висновки	122
РОЗДІЛ 4 РЕКОМЕНДАЦІЇ ЩОДО ПРОЕКТУВАННЯ ЗАСОБІВ ГЕНЕРУВАННЯ ПИЛКОПОДІБНИХ СИГНАЛІВ ПІДВИЩЕНОЇ ЛІНІЙНОСТІ ІЗ НИЗЬКОГЛІТЧЕВИМ КОДУВАННЯМ	124
4.1 Перетворювач струм-напруга на базі швидкодіючого двотактного балансного підсилювача	124
4.2 Структури генераторів пилкоподібних сигналів підвищеної лінійності із низькоглітчевим кодуванням	134
4.2.1 Генератор пилкоподібних сигналів	136
4.2.2 Генератор конусоподібних сигналів	144
4.3 Програмні засоби для моделювання швидкодіючих фібоначчівієвих лічильників	150
4.3.1 Шаблон програми та інтерфейс користувача	150
4.3.2 Класи, функції та змінні	153
4.4 Висновки	159
ВИСНОВКИ	160
СПИСОК ВИКОРИСТАНИХ ЛІТЕРАТУРНИХ ДЖЕРЕЛ	163
ДОДАТКИ	178

ВСТУП

Обґрунтування вибору теми дослідження. Генератори сигналів, а також пристрої, на яких побудовано вказані генератори, зокрема цифроаналогові перетворювачі (ЦАП) та лічильники імпульсів, широко застосовуються в системах опрацювання сигналів, телекомунікації, бездротового зв'язку, різноманітних системах керування і тому подібне. Варто зазначити, що сфера застосування цифроаналогових перетворювачів не обмежується галуззю перетворення «код-аналог». Використовуючи ЦАП можна визначати добутки двох або більше сигналів, будувати ділянки функцій, аналогові ланки, керовані від мікроконтролерів, такі як атен'юатори та інтегратори. Важливою галуззю застосування ЦАП є також генератори сигналів довільної форми, зокрема систем прямого цифрового синтезу (DDS) [1]-[5]. Причому саме ЦАП у кінцевому випадку визначає точність формування вихідного аналогового сигналу. Слід також відзначити, що переважна більшість наукових досліджень у цьому напрямку присвячена опису принципів синтезу аналогового сигналу по дискретних відліках і реалізації цифрової частини систем. Водночас аналіз впливу динамічних характеристик ЦАП на похибку формування аналогового сигналу розглянуто недостатньо. Це, безумовно, призводить до спрощеного сприйняття можливостей пристроїв DDS і необґрунтованого завищення досяжних параметрів вихідного сигналу.

Окремим негативним чинником при цьому є так звані глітччі [6]-[9] – короткочасні паразитні викиди вихідного сигналу $A_{\text{вих}}$, що виникають під час зміни вхідного коду ЦАП. Вплив цих викидів на форму сигналу істотно посилюється за умови збільшення частоти зміни коду $k_{\text{вх}}$. Для вибору підходів, що використовуються для зменшення глітччів, надзвичайно важливо розуміти причини та чинники, що викликають виникнення глітччів у ЦАП.

Дослідженню та моделюванню глітччів у ЦАП присвячено деякі сучасні оригінальні розробки [10]-[15], проте в них є суттєві недоліки, які не дають можливості оцінити поведінку глітччів при збільшенні числа розрядів, що

перемикаються та при використанні ЦАП як частини складніших систем генерування та опрацювання сигналів. Проте, саме у цих випадках вплив глітчів суттєво зростає, що, в свою чергу, впливає на точність, швидкодією та інші характеристики ЦАП, зокрема, та пристроїв і систем, де вони використовуються, в цілому. Іншим недоліком існуючих досліджень є те, що вони аналізують лише одну причину виникнення глітчів, ігноруючи ряд інших, що призводить до значних обмежень отриманих результатів.

Дослідженням теорії цифроаналогового та аналого-цифрового перетворення займаються школи професорів А. І. Кондалєва [16]-[22] (В. О. Багацький [18], [21]-[26], В. О. Романов [18], [22], [27]-[28]), П. П. Орнатського [29]-[32], М. В. Аліпова [33]-[36], Б. Й. Швецького [37]. Загальні принципи побудови та покращення характеристик перетворювачів інформації досліджувались та розроблялись науковими школами Е. І. Гітиса [38]-[41], В. Б. Смолова [42]-[48], та інших.

Водночас із вітчизняними науковцями питаннями дослідження глітчів в ЦАП займаються науковці за кордоном, зокрема: В. Кестер [49]-[54] з корпорації Analog Devices, Руді Дж. Ван Де Плаше [55]-[57] та інші з Philips, а також співробітники науково-дослідних підрозділів корпорацій Texas Instruments, Intel, MAXIM Integrated, Renesas, Linear Technology Corporation та інші [6]-[9], [58].

Для зменшення глітчів дієвим є застосування в ЦАП вагової надлишковості. Цей метод не залежить від конкретних параметрів обладнання та впливу навколишнього середовища, а також не вимагає використання значної кількості додаткового обладнання. Дослідженню цього підходу присвячено деякі сучасні оригінальні розробки науковців у різних країнах далекого зарубіжжя, зокрема, Японії [15], [59]-[60], однак в них є значні недоліки, для подолання яких необхідно введення у схему додаткового обладнання, що у свою чергу є нетривіальною задачею і може призвести до значних ускладнень, що пов'язані з точністю, швидкодією і т. ін..

Дослідження щодо покращення характеристик ЦАП на основі застосування вагової надлишковості виконуються с Вінницькому національному технічному університеті з 70-х років минулого століття в науковій школі професора О. Д. Азарова [61]-[71]. Так, зокрема, починаючи з 2000-х років здійснюються активні дослідження щодо застосування вагової надлишковості з метою зменшення глітчів у ЦАП та генераторах сигналів, побудованих на їх основі.

Слід зазначити, що задача дослідження та зменшення глітчів під час генерування сигналів підвищеної лінійності на теперішній час остаточно не вирішена, а кількість публікацій у науково-технічній літературі, присвячених дослідженню глітчів та засобів їх зменшення під час цифроаналогового перетворення, є незначною. У зв'язку з цим питання розробки методу та засобів генерування пилкоподібних сигналів підвищеної лінійності на базі ЦАП із низькоглітчевим кодуванням є актуальною задачею, що і стало темою цієї дисертації.

Мета і завдання дослідження: покращення лінійності цифрових генераторів пилкоподібних сигналів, що відрізняються від існуючих застосуванням низькоглітчєвого кодування на основі ЦАП із ваговою надлишковістю.

Об'єкт дослідження: процес генерування пилкоподібних сигналів підвищеної лінійності шляхом застосування низькоглітчєвого кодування на основі ЦАП із ваговою надлишковістю.

Предмет дослідження: глітчі, що виникають у генераторах пилкоподібних сигналів із низькоглітчєвим кодуванням, а також пристрої, на яких побудовано вказані генератори, зокрема ЦАП і швидкодіючі лічильники імпульсів на основі систем числення з ваговою надлишковістю.

Треба підкреслити, що на похибку лінійності сигналу впливає як амплітуда, так і час згасання глітча. Амплітуда зменшується за рахунок використання ЦАП із ваговою надлишковістю. Час згасання глітча зменшується як за рахунок властивостей ЦАП, так і за рахунок застосування

лічильників із швидкісним перенесенням в надлишкової системі числення. ЦАП із ваговою надлишковістю та вищезгадані лічильники є засобами низькогітчевого кодування.

Низькогітчеве кодування – це процес цифроаналогового перетворення, який включає в себе лічбу в надлишкової системі числення з подальшим перетворенням код-аналог зі зниженим рівнем глітчів.

Методи дослідження. У процесі досліджень використовувались: теорія цифроаналогового перетворення з ваговою надлишковістю для аналізу глітчів в ЦАП; теорія цифрових автоматів для синтезу схем швидкодіючих лічильників в МФ-системі числення; теорія математичного аналізу, методи апроксимування та інтерполювання функцій та теорія чисельних методів для аналізу та створення математичної моделі глітчів в цифроаналогових перетворювачах та генераторах сигналів; алгебра логіки та теорія алгоритмів для створення нового методу зменшення глітчів у генераторах пилкоподібних сигналів; комп'ютерне моделювання для аналізу параметрів ЦАП з ваговою надлишковістю та двотактних підсилювачів постійного струму (ДППС), а також для перевірки отриманих теоретичних положень; теорія об'єктно-орієнтованого та системного програмування для розробки програмного забезпечення для розрахунку та дослідження ефективності застосування вагової надлишковості з метою зменшення глітчів та для моделювання роботи швидкодіючого фібоначчієвого лічильника.

Наукова новизна отриманих результатів:

1. Вперше запропоновано метод зменшення глітчів у генераторах пилкоподібних сигналів, особливість якого полягає в застосуванні низькогітчевого кодування на базі ЦАП із ваговою надлишковістю, що дозволило підвищити лінійність сигналу, що генерується.

2. Вперше розроблено математичну модель глітчів, що виникають у ЦАП із ваговою надлишковістю, особливістю якої є можливість її застосування

для довільного числа розрядів, що дозволило оцінити час дії та амплітуду глітчів під час перемикання розрядів ЦАП.

3. Вперше запропоновано метод побудови швидкодіючих лічильників, особливість якого полягає у використанні для їх синтезу модифікованої системи числення Фібоначчі (МФ-системи числення), що дозволяє розширити діапазон лічби та зменшити кількість обладнання порівняно з відомою системою числення Фібоначчі, а також зменшити кількість перенесень (максимум до 5) порівняно із класичною двійковою системою числення.

4. Вперше запропоновано методику оцінювання ефективності застосування вагової надлишковості, критерієм якої є зменшення рівня глітчів у ЦАП та запропоновано оптимальні параметри систем числення, на основі яких побудовано ЦАП, що дає можливість досягти максимального результату при мінімальному подовженні розрядної сітки.

Практичне значення отриманих результатів полягає в тому, що на основі отриманих в дисертації теоретичних положень та методів:

1. Розроблено загальні схеми структурної організації фібоначчієвих лічильників в МФ-системі числення трьох видів: лічильник, що додає, лічильник, що віднімає, а також реверсивний лічильник та схеми структурної організації їх окремих розрядів. Проведено аналіз наведених структурних рішень і їх динамічних характеристик. Виконана оцінка апаратних витрат і швидкодії розроблених лічильників. Вказаний аналіз довів, що описані фібоначчієві лічильники поєднують ефективну апаратну реалізацію з високою швидкодією.

2. Запропоновано структурну організацію низькоглітчевого ЦАП на основі систем числення із ваговою надлишковістю, а саме з дробовими вагами розрядів, зокрема p -кодів золоті пропорції, та цілочисловими вагами розрядів, зокрема p -кодів Фібоначчі.

3. Розроблено структурні і принципові схеми двотактних підсилювачів постійного струму (ДППС) з низькоомним та високоомним входами. Доведено, що використання ДППС з низькоомним входом дозволить

покращити динамічні характеристики перетворювача код–струм з підвищеною паразитною вхідною ємністю ЦАП порівняно з високоомним.

4. Запропоновано структурні схеми генераторів пилкоподібних сигналів підвищеної лінійності на основі фібоначчієвого цифроаналогового перетворювача та з використанням швидкодіючих фібоначчієвих лічильників. Надано опис структурної організації таких генераторів та функціональних схем їх лічильників, а також детально розглянута та проаналізована їх робота. Обґрунтовано, що використання запропонованих генераторів у порівнянні з відповідними рішеннями на основі двійкової системи числення дозволяє підвищити швидкодію та зменшити рівень глітчів у процесі генерування пилкоподібних сигналів.

5. Розроблено програмні засоби для моделювання роботи швидкодіючих фібоначчієвих лічильників. Проведене комп'ютерне моделювання підтвердило розраховані аналітичним шляхом характеристики вказаного лічильника.

Результати дисертаційної роботи впроваджено в Інституті електроніки та зв'язку Української академії наук для побудови інформаційно-вимірювальних та радіотехнічних пристроїв з підвищеною завадостійкістю і швидкодією, а також у навчальний процес Вінницького національного технічного університету за спеціальністю 123 – в дисциплінах «Комп'ютерна схемотехніка», «Лінійні інтегральні схеми», та «Аналого-цифрова техніка».

Зв'язок роботи з науковими програмами, планами, темами. Дослідження виконувалися при реалізації НДР за темою 58-Д-393, «Спеціалізовані аналого-цифрові системи аудіолокації та ідентифікації об'єктів на місцевості» (номер державної реєстрації 0115U001119).

Особистий внесок здобувача. Усі наукові результати, викладені у дисертаційній роботі, отримані автором особисто. У роботах, опублікованих у співавторстві, автору належать такі результати: розробка математичної моделі та методу зменшення глітчів у ЦАП із ваговою надлишковістю [101]-[102], [120]-[121]; розробка методу побудови швидкодіючих фібоначчієвих

лічильників [103]; ідея модифікації системи числення Фібоначчі та способу лічби в ній [104]-[105], [108]; розробка зв'язків між лічильними тригерами, входом тактових імпульсів та інформаційними виходами лічильників [106], [114], [117]-[118]; дослідження залежності похибок перетворення у ЦАП від рівня вагової надлишковості [107], [109]-[110]; запропоновано схеми двотактних підсилювачів постійного струму з низькоомним і високоомним входами [111]-[112]; розробка зв'язків між цифроаналоговим перетворювачем в код Фібоначчі, генератором тактових імпульсів та лічильником в модифікованій фібоначчієвій системі числення [115]-[116]; дослідження залежності глітчів у ЦАП від різних чинників, зокрема, від кількості розрядів, що перемикаються, асинхронності вмикання та вимикання розрядів ЦАП, недосконалості елементної бази та конкретних параметрів схеми [115]-[116], [122]-[123]; структури низькоглітчевих перетворювачів форми сигналу з ваговою надлишковістю [119]; розробка та реалізація алгоритму комп'ютерної програми [120]-[121].

Апробація матеріалів дисертації. Основні положення дисертації доповідалися та обговорювалися на міжнародних конференціях: Міжнародна науково-практична конференція «Інформаційні технології та комп'ютерна інженерія» (Вінниця, 2010, 2014), Міжнародної науково-практичної конференції «Методи та засоби кодування, захисту й ущільнення інформації» (Вінниця, 2011, 2017), щорічні науково-технічні конференції професорсько-викладацького складу співробітників та студентів ВНТУ з участю працівників науково-дослідних організацій та інженерно-технічних працівників підприємств м. Вінниці та області (2010-2019).

Публікації. Основні результати досліджень опубліковано у 23 наукових працях, у тому числі 10 статей у фахових виданнях, що входять до міжнародних наукометричних баз (з них 2 у базі Scopus та IEEE Xplore), 3 у матеріалах конференцій, 8 патентах України на корисну модель, 2 свідоцтва про реєстрацію авторського права на комп'ютерну програму.

Структура та обсяг дисертації. Дисертаційна робота складається зі вступу, чотирьох розділів, висновку, списку використаних джерел та додатків. Повний обсяг дисертації становить 202 сторінок, основний зміст викладено на 142 сторінках друкованого тексту. Робота містить 62 рисунки, 21 таблицю, список використаних джерел із 148 найменувань та 7 додатків.

СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

[1] Офіційний сайт Analog Devices. “*All About Direct Digital Synthesis*”. [Електронний ресурс]. Доступно: <https://www.analog.com/media/en/analog-dialogue/volume-38/number-3/articles/all-about-direct-digital-synthesis.pdf>. Дата звернення: Лютий 18, 2018.

[2] Офіційний сайт Analog Devices. “*Low Power 250 MSPS 10-Bit DAC 1.8 V CMOS Direct Digital Synthesizer*”. [Електронний ресурс]. Доступно: <http://www.analog.com/media/en/technical-documentation/data-sheets/AD9913.pdf>. Дата звернення: Лютий 18, 2018.

[3] Офіційний сайт Analog Devices. “*Single-Chip Direct Digital Synthesis vs. the Analog PLL*”. [Електронний ресурс]. Доступно: <https://www.analog.com/en/analog-dialogue/articles/dds-vs-analog-pll.html>. Дата звернення: Травень 02, 2018.

[4] Е. Мерфи и К. Слэттери. «Всё о синтезаторах DDS». *Компоненты и технологии*, № 1, с. 1-5, 2005.

[5] Е. Мерфи и К. Слэттери. «Прямой цифровой синтез (DDS) в тестовом, измерительном и коммуникационном оборудовании», *Компоненты и технологии*, № 8, с. 1-4, 2006.

[6] Офіційний сайт Renesas Intersil. “*Understanding Glitch in a High Speed D/A Converter*”. [Електронний ресурс]. Доступно: <https://www.renesas.com/eu/en/www/doc/tech-brief/tb325.pdf>. Дата звернення: Травень 02, 2018.

[7] Офіційний сайт Maxim Integrated. “*Deglitching Techniques for High-Voltage R-2R DACs*”. [Електронний ресурс]. Доступно: <https://www.maximintegrated.com/en/app-notes/index.mvp/id/583>. Дата звернення: Травень 02, 2018.

[8] Офіційний сайт National Instruments. “*Reducing Glitches on the Analog Output of DAQ Devices DACs*”. [Електронний ресурс] Доступно:

<https://knowledge.ni.com/KnowledgeArticleDetails?id=kA00Z000000P8T2SAK>.

Дата звернення: Листопад 14, 2017.

[9] Офіційний сайт Texas Instruments. “DAC Essentials: What’s with all this glitch-ing”. [Електронний ресурс]. Доступно: https://e2e.ti.com/blogs_/b/analogwire/archive/2013/06/14/what-s-with-all-this-glitch-ing. Дата звернення: Листопад 14, 2017.

[10] Si Hong-Wei and He Le-Nian. “Analysis and modeling of the glitch error in current-steering D/A converter”. *Electrical and Control Engineering (ICECE)*, 2010

[11] B. Catteau, P. Rombouts and L. Weyten, “A Digital Calibration Technique for the Correction of Glitches in High-Speed DAC's”. *IEEE International Symposium on Circuits and Systems* , Pages: 1477-1480, 2007.

[12] Chao Su, Xin Dai and R. L. Geiger. “A novel dynamic calibration approach for current-steering DAC”. *Proceedings of IEEE International Workshop on VLSI Design and Video Technology*, Pages: 40-43, 2005.

[13] Chao Su, and R. L. Geiger. “Dynamic calibration of current-steering DAC”. *Circuits and Systems. Proceedings. International Symposium on Circuits and Systems (ISCAS)*, 2006.

[14] K. O. Andersson, and M. Vesterbacka. “Modeling of Glitches due to Rise/Fall Asymmetry in Current-Steering Digital-to-Analog Converters”. *IEEE Transactions on Circuits and Systems I: Regular Papers*, Vol:52 , No:11, Pages: 2265-2275, 2005.

[15] K. Hokazono, D. Kanemoto, R. Pokharel, A. Tomar, H. Kanaya, and K. Yoshida. “A low-glitch and small-logic-area Fibonacci Series DAC”, *IEEE 54th International Midwest Symposium on Circuits and Systems (MWSCAS)*, Pages: 1-4. 2011.

[16] А. И. Кондалев. *Вопросы проектирования преобразователей формы информации*. К.: Наук. думка, с.242,1977.

[17] А. И. Кондалев. *Преобразователи формы информации компьютерного типа*. К.:Знание, с.46 ,1990.

[18] А. И. Кондалев, В. А. Багацкий, В.А. Романов В.А., и В. А. Фабричев. *Высокопроизводительные преобразователи формы информации*. К.: Наукова думка, с.280,1987.

[19] А. И. Кондалев. *Системные преобразователи формы информации*. К.: Наук. Думка, с.334, 1974.

[20] А. И. Кондалев, П. С. Ключан, и В. Н. Лаврентьев. «Преобразователи формы информации для контрольно-измерительных систем и вычислительных комплексов». *Проблемы создания преобразователей формы информации*, К.: Наукова думка, Ч.2, 1980.

[21] А. И. Кондалев, В. А. Романов, В. А. Багацкий, и П. С. Ключан. «Вклад Украины в развитие системных преобразователей формы информации». *Труды Междунар. симпозиума «Компьютеры в Европе. Прошлое, настоящее и будущее"»*, К.: ИК НАН Украины, с.130, 1998.

[22] А. И. Кондалев, В. А. Багацкий, В. А. Романов, и В. А. Фабричев. *Преобразователи формы информации для малых ЭВМ*, К.: Наукова думка, с.312, 1982.

[23] В. А. Багацкий, Ю. М. Грешищев, И. В. Самус и др. *Преобразователи формы информации с обработкой данных*. К.: Наукова думка, с.264, 1992.

[24] В. А. Багацкий, Ю. М. Грешищев, и И. В. Самус. *Преобразователи формы информации с обработкой данных*. К.: Наукова думка, с.264, 1992.

[25] В. А. Багацкий. *Современные аналого-цифровые и цифроаналоговые преобразователи*. К.: О-во «Знание» УССР, с.21, 1980.

[26] В. А. Багацкий. «Теорія побудови, проектування та практична реалізація аналого-цифрових та цифроаналогових перетворювачів загального застосування». *Автореф. дис. на здобуття наук. ступеня д-ра техн. наук: 05.13.08 / В. А. Багацький*, с.35, 1995.

[27] В. А. Романов. «Теория, методы построения и техническая реализация микропроцессорных преобразователей формы информации с повышенной надежностью и производительностью». *Автореф. дис. на*

соискание учен. степени д-ра техн. наук: спец. 05.13.05, с.34, 1994.

[28] В. А. Романов. Аналого-цифровые микропроцессоры в информационно-вычислительных и управляющих системах. К.: Знание, с.116, 1984.

[29] П. П. Орнатский. *Автоматические измерения и приборы (аналоговые и цифровые)*. К.: Вища шк. Головное изд-во, с.504, 1986.

[30] П. П. Орнатский. *Автоматические измерения и приборы*. К.: Вища школа, с.364, 1973.

[31] П. П. Орнатский. *Автоматические измерения и приборы*. К.: Вища школа, с.560, 1980.

[32] П. П. Орнатский, и Н.Ф. Пономаренко. *Измерительный эксперимент*. Киев: КПИ, с.112, 1979.

[33] Н. В. Алипов. «Помехоустойчивые алгоритмы функционирования преобразователей формы информации». *Проблемы создания преобразователей формы информации*, ч. 1, с.107-109, 1984.

[34] Н. В. Алипов. «Алгоритмы функционирования параллельно-последовательных преобразователей формы информации, корректирующих динамические ошибки». *Автоматизированные системы управления и приборы автоматики*, №2, с.57-64, 1985.

[35] Н. В. Алипов. Об одном классе корректирующих алгоритмов аналого-цифрового преобразования. *Радиотехника*, №1, с 120-125, 1985.

[36] Н. В. Алипов. «Разработка теории методов решения задач помехоустойчивого поиска и преобразования информации». *Автореф. дис. на соискание учен. степени д-ра техн. наук: спец. 05.13.05. с.54*, 1986.

[37] Б. И. Швецкий. *Электронные цифровые приборы*. К.: Техника, с.191, 1991.

[38] Э. И. Гитис. *Аналого-цифровые преобразователи*. М.: Энергоиздат, с.360, 1981.

[39] Э. И. Гитис, Б. Л. Собкин, и А. Н. Подколзин и др. *Автоматизация проектирования аналого-цифровых устройств*. М: Энергоатомиздат, с.182,

1987.

[40] Э. И. Гитис. *Преобразователи информации для электронных цифровых вычислительных устройств*. М.: Энергия, с.400, 1970.

[41] Э. И. Гитис. *Преобразователи информации для электронных цифровых вычислительных устройств*. М.: Энергия, с.448, 1975.

[42] В. Б. Смолов, А. В. Анисимов, и Р. Ш. Исмаилов. *Аналого-цифровые комплексы*. Л.: ЛЭТИ, с.96, 1980.

[43] Е. П. Балашов, В. М. Сидоров, и В. Б. Смолов. «Аналоговые ЗУ управляющих и вычислительных систем», *Хранение информации в кибернетических устройствах*, № 2, с 223-235, 1969.

[44] В. Б. Смолов, В. К. Шмидт, Н. Н. Варлинский, В. О. Молодцов, С. М. Павлов, и В. А. Немнонов. «Вопросы построения интегральных преобразователей напряжения в код», *Вопросы преобразования информации*, с. 3-9, 1972.

[45] В. Б. Смолов *Микроэлектронные цифро-аналоговые и аналого-цифровые преобразователи информации*. Л.: Энергия, с. 336, 1976.

[46] Е. А. Чернявский, В. Б. Смолов, и А. В. Минаев. *Системы автоматизированного проектирования средств ИИТ*. Л.: ЛЭТИ, с. 58, 1988.

[47] В. Б. Смолов. *Вычислительные преобразователи с цифровыми управляемыми сопротивлениями*. М.: Госэнергоиздат, с. 135, 1961.

[48] В.Б. Смолов. *Функциональные преобразователи информации*. Л.: Энергоиздат, с. 247, 1981.

[49] Walt Kester. "Drive Circuitry is Critical to High-Speed Sampling ADCs", *Electronic Design Special Analog Issue*, p. 43-50, 1994.

[50] Walt Kester. "Basic Characteristics Distinguish Sampling A/D Converters". *EDN*, p. 135-144, 1992.

[51] Walt Kester. "Peripheral Circuits Can Make or Break Sampling ADC Systems". *EDN*, p. 97-105, 1992.

[52] Walt Kester. "Layout, Grounding, and Filtering Complete Sampling ADC System". *EDN*, p. 127-134, 1992.

[53] Walt Kester. "High speed sampling and high speed ADC". *High speed design techniques. Analog Devices Inc.*, p. 93, 1999.

[54] Walt Kester, and James Bryant. "Grounding in High Speed Systems", *High speed design techniques. Analog Devices Inc*, p. 6, 1999.

[55] Rudy J. and Van De Plassche. "CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters". *Springer US*, p. 742, 2003.

[56] Rudy J., Van De Plassche, and Willy M.C. Sansen. "High Speed Analog-to-Digital Converters". *Springer US*, p. 400, 2000.

[57] Rudy J. and Van De Plassche. "Integrated Analog-To-Digital and Digital-To-Analog Converters", p. 501, 2012.

[58] Офіційний сайт Maxim Integrated. "*Digital-to-Analog Converters Are a "Bit" Analog*". [Електронний ресурс]. Доступ: <https://www.maximintegrated.com/en/app-notes/index.mvp/id/1055>. Дата звернення: Лютий 18, 2018.

[59] Kazuya Hokazono, Daisuke Kanemoto, Haruichi Kanaya, Ramesh Pokharel, and Keiji Yoshida. "A novel high-precision DAC utilizing tribonacci series". *Graduate School of Information Science and Engineering, Japan:Kyushu University*, 2010.

[60] R Kubokawa, T. Ohshima and A Tomar. "Development of low power DAC with pseudo Fibonacci sequence". *IEICE Electronics Express*, 2012 Vol. 9, Issue 6, p 515-521, 2012.

[61] Азаров О. Д. *Основи теорії аналого-цифрового перетворення на основі надлишкових позиційних систем числення. Монографія.* Вінниця: Універсум, с.260, 2004.

[62] С. М. Захарченко, О. Д. Азаров та О. М. Харьков. *Самокалібровані АЦП із накопиченням заряду на основі надлишкових позиційних систем числення. Монографія.* Вінниця: Універсум, с.235, 2005.

[63] Л. В. Крупельницький та О. Д. Азаров. *Аналого-цифрові пристрої систем, що самокоригуються, для вимірювань і оброблення низькочастотних сигналів. Монографія.* Вінниця: Універсум, с.167, 2005.

[64] Н. О. Біліченко «Високоточні аналого-цифрові перетворювачі з перерозподілом заряду на основі інформаційної надлишковості». *Автореф. дис. на здобуття наук. ступеня канд. техн. наук: спец. 05.13.05*. Вінниця, с.16, 2001.

[65] О. Д. Азаров, О. А. Архипчук, та С. М. Захарченко. *Високолінійні порозрядні АЦП з ваговою надлишковістю для систем реєстрації і оброблення сигналів. Монографія*. Вінниця: Універсум, с.125, 2005.

[66] Харьков О. М. «Швидкодіючі високоточні АЦП із перерозподілом заряду з ваговою надлишковістю, що самокалібруються». *Автореф. дис на здобуття наук. ступеня канд. техн. наук: спец. 05.13.05*. Вінниця, с.16, 2007.

[67] О. Д. Азаров та А. В. Снігур. *Багатоканальні ІВС опрацювання стрибкоподібних сигналів на базі АЦП із ваговою надлишковістю. Монографія*. Вінниця: Універсум, с.138, 2008.

[68] Азаров О. Д. та О. Коваленко. *Обчислювальні АЦП і ЦАП, що самокалібруються, для систем цифрового оброблення аналогових сигналів. Монографія*. Вінниця: Універсум, с.147, 2006.

[69] Азаров О. Д. та В.А. Гарнага. *Двотактні підсилювачі постійного струму для багаторозрядних перетворювачів форми інформації, що самокалібруються. Монографія*. Вінниця: Універсум, с.156, 2011.

[70] Азаров О. Д. та С.В. Богомоллов. *Основи теорії високолінійних аналогових пристроїв на базі двотактних підсилювальних схем. Монографія*. Вінниця: Універсум, с.142, 2013.

[71] А. Д. Азаров. «Исследование принципов построения и разработка преобразователей информации на основе кодов с иррациональными основаниями». *Автореф. дис. на соискание учен. степени канд. техн. наук: спец. 05.11.16*. Харьков, с.16, 1980.

[72] Офіційний сайт Renesas Intersil. “Understanding Glitch in a High Speed D/A Converter”. [Електронний ресурс]. Доступ: <https://www.renesas.com/eu/en/www/doc/tech-brief/tb325.pdf>. Дата звернення: Січень 15, 2019.

[73] S. Rapuano, E. Balestrieri, P. Daponte, and L. De Vito. “Experimental

Investigation on DAC Glitch Measurement”, *XX IMEKO World Congress "Metrology for green growth"*. Busan, South Korea, 2012.

[74] T. E. Linnenbrink, J. Blair, S. Rapuano, P. Daponte, E. Balestrieri, L. De Vito, S. Max, and S. J. Tilden. “ADC testing - Part 7 in a series of tutorials in instrumentation and measurements”. *IEEE Instrum. and Measurement Magazine*, vol. 9, No. 2, pp. 39-49, 2006.

[75] S. Rapuano, “Preliminary considerations on ADC standard harmonization”. *IEEE Trans. on Instrum. and Meas.*, vol.57, No.2, pp.386-394, 2008.

[76] IEEE Std. 1658 “*IEEE Standard for terminology and test methods for digital-to-analog converters*”, 2011.

[77] S. Rosloniec. “Fundamental Numerical Methods for Electrical Engineering”. *Springer*, Chapter 5, 2008.

[78] Офіційний сайт Renesas Intersil. “Reducing Power-On/Off Glitches in Precision DACs”. [Електронний ресурс]. Доступ: <https://training.ti.com/lessons-precision-dacs-power-glitch>. Дата звернення: Січень 15, 2019.

[79] Офіційний сайт Texas Instruments. Matthew Saucedo. “*Sample & Hold Glitch Reduction for Precision Outputs*”. [Електронний ресурс]. Доступ: <http://www.ti.com/lit/ug/tidu022/tidu022.pdf>. Дата звернення: Січень 15, 2019.

[80] А. П. Голубев, Я. В. Крупельницький. «Минимизация погрешностей восстановления звуковых сигналов в цифроаналоговом преобразователе» *Методы и микроэлектронные средства цифрового преобразования и обработки сигналов*. Тез. докл. конф., т. 1, с. 21-23, Рига, 1990.

[81] Офіційний сайт Analog Devices. Walt Kester. “*The Data Conversion Handbook*”. [Електронний ресурс]. Режим доступу: http://www.analog.com/library/analogDialogue/archives/39-06/data_conversion_handbook.html. Дата звернення: Січень 15, 2019.

[82] А. П. Стахов, “Принцип асимметрии логики измерения”, *Пробл. передачи информ.*, 12:3, с. 69–77, 1976.

[83] А. П. Стахов. «Алгоритмическая теория измерения», М., Знание 1979, с.64, 1979.

[84] Renesas Intersil, *HI5731 datasheet*. [Електронний ресурс] Доступ: <https://www.renesas.com/kr/en/www/doc/datasheet/hi5731.pdf>. Дата звернення: Січень 15, 2019.

[85] Analog Devices, *AD9721 datasheet*. [Електронний ресурс]. Доступ: <https://www.analog.com/media/en/technical-documentation/obsolete-data-sheets/AD9721.pdf>. Дата звернення: Січень 15, 2019.

[86] Maxim Integrated, *MAX555 datasheet*. [Електронний ресурс]. Доступ: <https://datasheets.maximintegrated.com/en/ds/MAX555.pdf>. Дата звернення: Січень 15, 2019.

[87] Analog Devices, *AD9774 datasheet*. [Електронний ресурс]. Доступ : <https://www.analog.com/media/en/technical-documentation/data-sheets/AD9774.pdf>. Дата звернення: Січень 15, 2019.

[88] Analog Devices, *AD768 datasheet*. [Електронний ресурс]. Доступ: <https://www.analog.com/media/en/technical-documentation/data-sheets/AD768.pdf>. Дата звернення: Січень 15, 2019.

[89] Analog Devices, *AD9881 datasheet*. [Електронний ресурс]. Доступ: <https://www.analog.com/media/en/technical-documentation/data-sheets/AD9881.pdf>. Дата звернення: Січень 15, 2019.

[90] Maxim Integrated, *MAX5839 datasheet*. [Електронний ресурс]. Доступ: <https://datasheets.maximintegrated.com/en/ds/MAX5839.pdf>. Дата звернення: Січень 15, 2019.

[91] Renesas Intersil, *HI2315 datasheet*. [Електронний ресурс]. Режим доступу: <https://www.renesas.com/kr/en/www/doc/datasheet/hi2315.pdf>. Дата звернення: Січень 15, 2019.

[92] О. Д. Азаров. «Аналого-цифрове порозрядне перетворення на основі систем числення з ваговою надлишковістю. Монографія». Вінниця: ВНТУ, с.232, 2010.

[93] А. П. Стахов. «Коды золотой пропорции». М., Радио и связь, с.152, 1984.

[94] А. П. Стахов. «Введение в алгоритмическую теорию измерения». М., «Сов. радио», с.288, 1977.

[95] О. Д. Азаров, та О. І. Черняк. «Повнофункціональна побітова потокова арифметика зі зменшеними витратами обладнання. Монографія». Вінниця: Універсум, с.200, 2013.

[96] О. Д. Азаров, О. О. Решетнік, В. А. Гарнага, та Л. В. Крупельницький. «Методи побудови ЦАП із ваговою надлишковістю на базі двійкових ЦАП». *Проблеми інформатизації та управління*, № 3(18), с. 5-11. 2006.

[97] О. Д. Азаров, О. О. Решетнік, С. В. Богомолів. «Системи числення з ваговою надлишковістю для швидкодіючих АЦП послідовного наближення і ЦАП, що самокалібруються». *Наукові праці Вінницького національного технічного університету*. [Електронний ресурс]. 2008, №3. Доступ: <http://praci.vntu.edu.ua/index.php/praci/article/view/68>. Дата звернення: Січень 15, 2019.

[98] В. П. Сигорский та А. И. Петренко. *Основы анализа электронных схем*. К.: Вища шк., с.568, 1971.

[99] Alexey D. Azarov, and Vladimir A. Harnaha. “The Systematization of Balanced Push-Pull DC Amplifiers According to the Criterion of the Input Impedance”. *Journal of Automation and Information Sciences – Volume 48, 2016, Issue 10*, pp.65-73, 2016.

[100] Jung Walt. *Op Amp applications handbook. Analog Devices series*. [Електронний ресурс]. Доступ: <https://www.analog.com/en/education /education-library/op-amp-applications-handbook.html>. Дата звернення: Січень 15, 2019.

[101] О. Д. Азаров, О. О. Лукашук, В.Г. Огнєв, О. Г. Муращенко, та О.М. Хорьков, заявник та патентовласник Вінницький національний технічний університет. «Підсилювач постійного струму», № 21203, Україна, МПК: H03F 3/26, 15.03.2007.

[102] О. Д. Азаров, С. В. Богомолів, В.Є. Яцик, та О. Г. Муращенко, заявник та патентовласник Вінницький національний технічний університет.

«Двотактний симетричний підсилювач струму», №70121, Україна, МПК: H03F 5/22, 25.05.2012.

[103] О. Д. Азаров, С. В. Богомолов, М.В. Пономарьова, та О. Г. Муращенко, заявник та патентовласник Вінницький національний технічний університет. «Вхідний пристрій схеми порівняння струмів», №72312, Україна, МПК: H03F 5/00, 10.08.2012.

[104] O. D. Azarov; O. G. Murashchenko; O. I. Chernyak; A. Smolarz; and G.Kashaganova. "Method of glitch reduction in DAC with weight redundancy". *SPIE 9816, Optical Fibers and Their Applications 2015, 98161T* (17 December 2015).

[105] О. Д. Азаров, та О. Г. Муращенко. «Дослідження глітчів ЦАП залежно від рівня надлишковості р-кода Фібоначчі», *свідоцтво про реєстрацію авторського права на твір №54904*, 20.05.2014.

[106] О. Д. Азаров, та О. Г. Муращенко. «Дослідження глітчів ЦАП залежно від затримок вмикання і вимикання розрядів», *свідоцтво про реєстрацію авторського права на твір №54903*, 20.05.2014.

[107] О. Д. Азаров, О. І. Черняк, О. Г. Муращенко, та С. В. Богомолов, заявник та патентовласник Вінницький національний технічний університет. «Цифроаналоговий перетворювач», №94085, Україна, МПК: H03М 1/46, 27.10.2014.

[108] О. Д. Азаров, О. І. Черняк, та О. Г. Муращенко, заявник та патентовласник Вінницький національний технічний університет. «Цифроаналоговий перетворювач», №109785, Україна, МПК H03М 1/46, 12.09.2016.

[109] O. D. Azarov, O. G. Murashenko, S. S. Katsiv, K. Gromaszek, G. Duskazaev, and O. Ussatova, "Mathematical model of glitches in DAC with weight redundancy", *Proc. SPIE 11045, Optical Fibers and Their Applications 2018, 1104511* (15 March 2019).

[110] О. Д. Азаров, О. І. Черняк, та О. Г. Муращенко. «Інформаційні аспекти лічби у модифікованій фібоначчівій системі числення», *Інформаційні технології та комп'ютерна інженерія*. №1(38), с. 48-52, 2017.

[111] О. Азаров, О. Черняк, та О. Г. Муращенко. «Методи перенесення і запозичення у швидкодіючих фібоначчієвих лічильниках», *Інформаційні технології та комп'ютерна інженерія*, №2(42), с. 55-63, 2018.

[112] О. Д. Азаров, О. І. Черняк, та О. Г. Муращенко. «Порозрядне додавання в АМ-системах числення на основі адитивних перетворень», *Проблеми інформатизації та управління*, №1(45), с. 14-21, 2014.

[113] О. Д. Азаров, О. І. Черняк., та О. Г. Муращенко, заявник та патентовласник Вінницький національний технічний університет. «Лічильник», що віднімає у фібоначчієвій системі числення», №97829, Україна, МПК Н03К 23/00, 10.04.2015.

[114] О. Д. Азаров, О. В. Черняк, та О. Г. Муращенко, заявник та патентовласник Вінницький національний технічний університет. «Реверсивний лічильник у фібоначчієвій системі числення», №109080, Україна, МПК Н03К 23/00, Н03М 7/00, 10.08.2016.

[115] О. Д. Азаров, О. І. Черняк, та О. Г. Муращенко. «Швидкодіючий реверсивний фібоначчієвий лічильник», *Інформаційні технології та комп'ютерна інженерія*, №1(32), с. 27-32, 2015.

[116] О. Д. Азаров, О. І. Черняк, та О. Г. Муращенко. «Метод побудови швидкодіючих фібоначчієвих лічильників», *Проблеми інформатизації та управління*, № 2(46), с. 5-8, 2014.

[117] О. Д. Азаров, О. І. Черняк, О. Г. Муращенко. «Лічильник», №127185, Україна, МПК Н03М 1/46, 25.07.2018.

[118] О. Д. Азаров, М.Ю. Шабатура та О.Г. Муращенко. «Динамічні похибки II роду в АЦП прискореного порозрядного наближення з ваговою надлишковістю», *Наукові Праці Вінницького Національного Технічного Університету*, №3, с. 9, 2010. [Електронний ресурс]. Доступно: <http://praci.vntu.edu.ua/article/view/1266/624>

[119] О. Д. Азаров, О. В. Кадук, О. В. Дудник та О. Г. Муращенко. «Пряме і зворотне перетворення «робочий код – цифровий еквівалент» у АЦП і

ЦАП, що самокалібруються, з ваговою надлишковістю», *Проблеми інформатизації та управління*, №2(30), с. 6-13, 2010.

[120] О. Д. Азаров, О. О. Решетнік, О. Г. Муращенко та М. Ю. Теплицький. «Структурна організація АЦП з прогресуючими тривалостями тактів порозрядного наближення», *Інформаційні технології та комп'ютерна інженерія*. №2, с. 6-13, 2010.

[121] О. Д. Азаров та О. Г. Муращенко. «АЦП порозрядного наближення з антиглітчевим кодуванням», на *Міжнародній науково-практичній конференції "Інформаційні технології та комп'ютерна інженерія"*, Вінниця, 2010.

[122] О. Д. Азаров та О. Г. Муращенко. «Метод антиглітчевого кодування в АЦП порозрядного наближення», на *Міжнародній науково-практичній конференції «Методи та засоби кодування, захисту й ущільнення інформації»*, Вінниця, 2011.

[123] О. Д. Азаров та О. Г. Муращенко. «ЦАП з антиглітчевим кодуванням на основі коду Фібоначчі», *Тези доповідей Міжнародної науково-практичної конференції «Інформаційні технології та комп'ютерна інженерія»*, Вінниця, 2014.

[124] О. Д. Азаров та О. Г. Муращенко. «Метод зменшення глітчів у ЦАП із ваговою надлишковістю», *Тези доповідей Міжнародної науково-практичної конференції «Методи та засоби кодування, захисту й ущільнення інформації»*, Вінниця, 2017.

[125] Walt Kester. *Analog-Digital Conversion*. ADI: Central Application Department, p.1127, 2004.

[126] Г. И. Волович. *Схемотехника аналоговых и аналого-цифровых электронных устройств*. М. : Издательский дом «Додэка-XXI», с. 528, 2005.

[127] Уин Палмер. «Быстродействующий прецизионный усилитель-преобразователь сопротивлений», *Электроника. Серия : методы, схемы, аппаратура*, №1, с. 77-82, 1988.

[128] Фолкенберри Л. *Применения операционных усилителей и линейных ИС*. М.: Мир, с. 572, 1985.

[129] Н. А. Филинчук, А.А. Лазарев, Л. Б. Лищинская и В. П. Стахов «Критериальная оценка эффективности токовых конвейеров». *Восточно-Европейский журнал передовых технологий*, № 4 (64), с. 17-21. 2013.

[130] Г. В. Зевеке, П. А. Ионкин, А. В. Нетушил и С. В. Страхов. *Основы теории цепей*. М. : Энерго-атомиздат, с. 528, 1989.

[131] Е.П. Угрюмов. *Цифровая схемотехника*. СПб.: БХВ-Петербург, с. 528, 2001.

[132] У. Титце и К. Шенк. *Полупроводниковая схемотехника*. М.: ДМК Пресс, т. 1, с.832, 2008.

[133] У. Титце, К. Шенк. *Полупроводниковая схемотехника*. М.: ДМК Пресс, т. 2, с. 942, 2008.

[134] Полонников Д. Е. *Операционные усилители: Принципы построения, теория, схемотехника*. М.: Энергоато-миздат, с.216 ,1983.

[135] Выгодский М.Я. *Справочник по высшей математике*. М.: АСТ: Астрель, с.991, 2006.

[136] Л. Ридико. «DDS: Прямой цифровой синтез частоты», *Компоненты и технологии*, № 1, С. 1-5, 2001.

[137] Д. Крекрафт и С. Джерджли. *Аналоговая электроника. Схемы, системы, обработка сигнала*. М. : Техносфера, с.360, 2005.

[138] Б. Кронин. «Простое и эффективное формирование сигналов при помощи синтезаторов прямого цифрового синтеза частот», *Беспроводные технологии*, № 1(26), с. 59-64, 2012.

[139] Fang-Ting Chou, Chia-Min Chen and Chung-Chih Hung. “A low-glitch binary-weighted DAC with delay compensation scheme”. *Analog Integrated Circuits and Signal Processing*. Vol. 79, issue 2, pp 277–289, May 2014.

[140] Zhi-Yuan Cui, Joong-Ho Choi, Yeong-Seuk Kim, Shi-Ho Kim and Nam-Soo Kim. “Application of a low-glitch current cell in 10-bit CMOS current-steering DAC”. *Microelectronics International*. Vol. 26, number 3, pp. 35-40, 2009.

[141] Meng-Hung Shen, Jen-Huan Tsai and Po-Chiun Huang. “Random Swapping Dynamic Element Matching Technique for Glitch Energy Minimization in

Current-Steering DAC”. *IEEE Transactions on Circuits and Systems II: Express Briefs*. Vol. 57, issue 5, May 2010).

[142] Fang-Ting Chou, Chia-Min Chen and Chung-Chih Hung. “A low-glitch binary-weighted DAC with delay compensation scheme”. *Analog Integrated Circuits and Signal Processing*. Vol. 79, issue 2, pp 277–289, May 2014.

[143] Dongwon Seo and Gene H. McAllister. “A Low-Spurious Low-Power 12-bit 160-MS/s DAC in 90-nm CMOS for Baseband Wireless Transmitter”. *IEEE Journal of Solid-State Circuits*. Vol. 42 , issue 3, March 2007.

[144] Fang-Ting Chou and Chung-Chih Hung. “Glitch Energy Reduction and SFDR Enhancement Techniques for Low-Power Binary-Weighted Current-Steering DAC”. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*. Vol. 24, issue 6, June 2016.

[145] Офіційний сайт Analog Devices. “*Low Power, 14-Bit, 180 MSPS, Digital-to-Analog Converter and Waveform Generator*”. [Електронний ресурс]. Доступ: <http://www.analog.com/media/en/technical-documentation/data-sheets/AD9102.pdf>. Дата звернення: Березень 18, 2018.

[146] Analog Devices. “*Direct Digital Synthesis Primer*”. [Електронний ресурс]. Режим доступу: http://www.ieee.li/pdf/viewgraphs/direct_digital_synthesis.pdf. Дата звернення: Березень 18, 2018.

[147] Jouko Vankka and Kari A.I. Halonen. «Direct Digital Synthesizers: Theory, Design and Applications». *The Springer International Series in Engineering and Computer Science*. P. 193, 2001.

[148] Jung Walt. *Op Amp applications handbook*. Analog Devices series, p.878, 2005.